

CLIPPEDIMAGE= JP402188964A
PAT-NO: JP402188964A
DOCUMENT-IDENTIFIER: JP 02188964 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: July 25, 1990

INVENTOR-INFORMATION:

NAME

NOGAMI, TAKESHI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP01008328

APPL-DATE: January 17, 1989

INT-CL (IPC): H01L029/50; H01L021/331 ; H01L029/205 ;

H01L029/46 ; H01L029/73

US-CL-CURRENT: 438/FOR.357,257/197 ,438/365

ABSTRACT:

PURPOSE: To reduce an ohmic-contact resistance while a performance of an intrinsic active part is being maintained satisfactorily in a compound semiconductor device of an n-p-n structure by a method wherein a p-layer for ohmic contact use is grown selectively on the surface of the p-layer by an epitaxial growth method and a metal electrode is formed on the surface of the p-layer.

CONSTITUTION: In a semiconductor device, the following are provided: first electrodes 10, 14 on the surface of a p-layer 4 exposed in one part of the surface of a substrate including compound semiconductor regions 3 to 5 of an n-p-n structure; and a second electrode 7 on the surface of an n-layer 5. In this semiconductor device, said first electrodes 10, 14 are composed of the

following: a desired-concentration p-layer 10, for ohmic contact use, which has been grown epitaxially by using a mask of a high-melting-point-metal layer pattern 7 formed on the surface of the n-layer 5; and a conductor layer 14 formed on the surface of the p-layer 10. Said second electrode 7 is formed as the high-melting-point-metal layer pattern 7. For example, said second electrode 7 is formed as a WN<SB>x</SB> layer 7 which has been formed on an n-AlGaAs layer 5 via an n<SP>+</SP> InGaAs layer 6; and first electrodes 10, 14 are formed as a p<SP>-</SP> GaAs layer 10 and an AuZn layer 14.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-188964

⑬ Int. Cl.³H 01 L 29/50
21/331
29/205
29/46
29/73

識別記号

B

庁内整理番号

7638-5F

⑭ 公開 平成2年(1990)7月25日

H

8526-5F
7638-5F

8526-5F H 01 L 29/72

審査請求 未請求 請求項の数 2 (全7頁)

⑯ 発明の名称 半導体装置およびその製造方法

⑰ 特 願 平1-8328

⑱ 出 願 平1(1989)1月17日

⑲ 発 明 者 野 上 毅 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 木 村 高 久

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) n p n 構造の化合物半導体領域を含む基板表面の一部に露呈せしめられたp層表面に第1の電極を有すると共にn層表面に第2の電極を有してなる半導体装置において、

前記第1の電極はn層表面に形成された高融点金属層パターンをマスクとしてエビタキシャル成長せしめられた所望の濃度のオーミックコンタクト用p層と該p層表面に形成された導体層とからなり、

前記第2の電極は該高融点金属層パターンであることを特徴とする半導体装置。

(2) n p n 構造の化合物半導体領域を含む基板表面に、高融点金属層パターンを形成する高融点金属層パターン形成工程と、

このパターンをマスクとして該基板表面をエッチングし、p層を露呈せしめる露出工程と、

さらにこのパターンをマスクとして該p層表面に所望の濃度のオーミックコンタクト用p層をエビタキシャル成長法により選択的に成長せしめるエビタキシャル成長工程と、

このp層表面に金属電極を形成する金属電極形成工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、半導体装置およびその製造方法に係り、特にp型の化合物半導体層へのオーミックコンタクトの形成に関する。

(従来の技術)

異種の半導体材料を接合させ、ヘテロ接合を形成してなるヘテロ接合バイポーラトランジスタは、単一材料を用いて作られるホモ接合バイポーラトランジスタと比べて、高周波特性、スイッチング特性に優れ、マイクロ波用トランジスタ、高速論理回路用トランジスタ、高速アナログ回路用トラ

ンジスタとして極めて有望である。

しかしながら、良好な界面特性をもつヘテロ接合の形成が困難であること、各層へのドーピング量が厳密に制御された多層薄膜の形成は極めて困難であることなどの製造技術上の理由から、開発の進展は見られないままになっていた。

近年、分子線エビタキシー (MBE) 法、有機金属気相成長 (MOCVD) 法など優れたエビタキシー技術の開発に伴い、超高速素子としてのヘテロ接合バイポーラトランジスタが、再び注目されるようになってきている。

このようなヘテロ接合バイポーラトランジスタは、その一例として第3図に構造断面図を示すように、ノンドープのガリウムヒ素 (GaAs) 基板1の表面に、 n^+ GaAs層2からなるコレクタ領域と、 p^- GaAs層3からなるベース領域と、 n^- AlGaAs層4からなるエミッタ領域とMBE法により順次積層されてなるもので、各領域の表面には夫々、コレクタ電極5、ベース電極6、エミッタ電極7が形成されている。

ポーラトランジスタにおいてはベース領域にコンタクトするための電極はコンタクト抵抗を低減することが出来ず、動作の高速化を阻む大きな原因の1つとなっていた。

これは、ヘテロ接合バイポーラトランジスタのみならず、 p 型化合物半導体への電極形成を含む化合物半導体装置全般における高速性等の性能の向上を阻む要因となっていた。

すなわち、このような化合物半導体装置の高速性は、半導体装置の真性動作部分の性能と、それに付随する寄生容量・寄生抵抗の大小により決まる。特に $n-p-n$ 構造のバイポーラトランジスタの場合、 p 型ベースの外部ベースの大小が、顕著に高速性を左右する。ところで、外部ベース抵抗は、ベース電極のシート抵抗と、ベース電極取り出しのオーミックコンタクト抵抗の2つの成分からなる。このため、真性動作部分の性能を良好に維持しつつ、オーミックコンタクト抵抗を低減することのできる電極形成が強く望まれていた。

(発明が解決しようとする課題)

このようなヘテロ接合バイポーラトランジスタにおいて、 p^- GaAs層3からなるベース領域への電極の形成は、 $n-p-n$ 構造の化合物半導体基板の n 層をエッチングして p 層 (p^- GaAs層3) を露出させ、その表面に金-亜鉛 (AuZn) 層等の金属層を蒸着させることにより行われている。

ところで p 層の不純物濃度は、このトランジスタの真性動作部分の性能を高くする条件に設定され、その値は約 $5 \times 10^{19} / \text{cm}^3$ である。一方、 p 型化合物半導体へのオーミックコンタクト抵抗は p 型のキャリア濃度が高いほど低くなり、 $1 \times 10^{20} \Omega \text{cm}$ 程度のオーミックコンタクト抵抗を得るためには、 $1 \times 10^{20} / \text{cm}^3$ 以上の不純物濃度の p 層が必要である。

また、同じくトランジスタの真性動作部分の性能を高くする目的から p 型化合物半導体は例えば p 型GaAsではなく、 p 型GaAlAsを用いることが多いが、 p 型GaAlAsはAuZn層に対するオーミックコンタクト抵抗が p 型GaAsに比べて高い場合が多い。

この2つの理由のため、従来のヘテロ接合バイ

ポラトランジスタにおいては、真性動作部分の性能を良好に維持しつつ、オーミックコンタクト抵抗の低いコンタクト形成を行うことができなかった。

本発明は、前記実情に鑑みてなされたもので、 $n-p-n$ 構造の化合物半導体装置において、真性動作部分の性能を良好に維持しつつ、オーミックコンタクト抵抗を低減することのできる p 層への電極形成方法を提供することを目的とする。

また、本発明は、 $n-p-n$ 構造の化合物半導体装置を微細化することを目的とする。

(発明の構成)

(課題を解決するための手段)

そこで本発明の方法では、 $n-p-n$ 構造の化合物半導体領域を含む基板表面に、高融点金属層からなるパターンを形成し、このパターンをマスクとして該基板表面をエッチングし、 p 層を露呈せしめ、さらにこのパターンをマスクとして該 p 層表面に所望の濃度のオーミックコンタクト用 p 層をエビタキシャル成長法により選択的に成長せしめ、

このp層表面に金属電極を形成するようにしている。

また、本発明の半導体装置では、上記方法においてp層表面に形成された金属電極を第1の電極とすると共にエピタキシャル成長のマスクとして用いた高融点金属パターンを第2の電極として用いるようにしている。

(作用)

上記構成によれば、p層へのオーミックコンタクトの形成は、p層上にエピタキシャル成長せしめられた所望の(高い)キャリア濃度を有し、低抵抗のオーミックコンタクトを得る上で都合のよい種類のコンタクト用p型化合物半導体層上になされるため、従来の技術では不可能であった $1 \times 10^{-7} \Omega \text{cm}$ 程度のオーミックコンタクト抵抗を得ることが可能となる。

また、高融点金属薄膜をマスクとしてエピタキシャル成長がなされるため、エピタキシャル成長工程中の高温条件下においても、高融点金属薄膜は化合物半導体と反応をおこしたりすることもない。

第1図は、本発明実施例のヘテロ接合バイポーラトランジスタ(HBT)を示す図、第2図(a)乃至第2図(h)は、本発明の方法を一実施例のヘテロ接合バイポーラトランジスタの製造に適用した場合の製造工程図である。

このHBTは、第1図に示すように、第3図に示した従来例のHBTと同様に構成され、ベース領域を構成する p^- GaAlAs層へのオーミックコンタクトの形成を、窒化タンゲステン(WNx)層7をマスクとしてエピタキシャル成長せしめた高濃度のInドープの p^- GaAs層を介してAuZn層10(ベース電極)によっておこなうと共に該窒化タンゲステン(WNx)層7をそのままエミッタ電極として用いるようにしたことを特徴としている。

すなわち、まず、第2図(a)に示すように、クロムドープのn型GaAs基板1の表面にMBE法により、高濃度のシリコンドープの n^+ GaAs層2、コレクタ層を構成するシリコンドープのn GaAs層3、ベース層を構成するベリリウムドープの p^+ AlGaAs層4(ベリリウム濃度 $1 \times 10^{19} / \text{cm}^3$)、

く、安定に維持される。このため、この高融点金属薄膜はn層の取り出し電極としてそのまま使用することができる。

さらに、この装置によれば、エピタキシャル成長層は該高融点薄膜をマスクとして選択的に形成されるため、このエピタキシャル成長層上に形成される電極と該高融点金属薄膜からなる電極とは自己整合的に近接して形成されることになる。このため、該高融点薄膜電極から該エピタキシャル成長層上の電極にいたるまでのp層のシート抵抗に起因する寄生抵抗を低減することができ、その結果化合物半導体装置の高速性を十分に引き出すことができる。

このように、コンタクト抵抗を低減すると共にコンタクトにいたるp層の長さを短縮化することによりシート抵抗に起因する寄生抵抗の低減をはかることが可能となる。

(実施例)

以下、本発明の実施例について、図面を参照しつつ詳細に説明する。

エミッタ層を構成するシリコンドープの n AlGaAs層5、高濃度のシリコンドープの n^+ InGaAs層6とを順次堆積する。

この後、第2図(b)に示すように、さらに反応性スパッタ蒸着法により膜厚1500Åの窒化タンゲステン(WNx)層7を堆積する。

そして、第2図(c)に示すように、レジスト膜塗布後このレジスト膜をホトリソグラフィ法によりパターンニングし、レジストパターン8を形成する。そしてこのレジストパターン8をマスクとして反応性イオンエッチングにより窒化タンゲステン層7をパターンニングする。

次いで、第2図(d)に示すように、この窒化タンゲステン層7をマスクとして、過酸化水素水とリン酸の混合液をエッチャントとしてエッチングを行い、高濃度のシリコンドープの n^+ InGaAs層6、エミッタ層を構成するシリコンドープのn AlGaAs層5を順次選択的に除去する。このとき、ややオーバーエッチング気味となるようにエッチング時間を長くし、サイドエッチを生じさせるよう

にする。

この後、第2図(e)に示すように、プラズマCVD法により膜厚5000Åの酸化シリコン膜を堆積した後、異方性エッチングによりエッチングし、s(AuGe/Au)合金薄膜からなるエミッタ電極7を形成したのち、フォトリソ法によりエミッタ電極7および n^+ AlGaAs層4を順次、パターニングし、さらに高濃度のシリコンドーパの n^+ InGaAs層6、エミッタ層を構成するシリコンドーパの n AlGaAs層5の側壁のオーバーエッチング部分を酸化シリコン膜9で被覆する。

さらに、第2図(f)に示すように、MOCVD(有機金属化学気相成長法)により、 $5 \times 10^{19}/\text{cm}^3$ の亜鉛ドーパのGaAs層10をエピタキシャル成長せしめる。このとき、この亜鉛ドーパのGaAs層10は、ベース層を構成するベリリウムドーパの p^+ AlGaAs層4上にのみ成長し、窒化タングステン膜7上および酸化シリコン膜9上には成長しない。

この後、第2図(g)に示すように、素子間分離

有する素子間の高濃度の亜鉛ドーパのGaAs層10が除去される。

さらに、第2図(j)に示すように、リフトオフのスペーサとしての酸化シリコン膜15を堆積したのちフォトリソ法によりレジストパターンを形成し、該酸化シリコン膜15をパターニングした後、レジストパターンを残したままAu-Ge層を蒸着し、リフトオフ法によって該Au-Ge層をパターニングし、360℃で40秒のアロイ工程を経てコレクタ電極16を形成する。

このようにして形成されたHBTによれば、ベリリウムドーパの p^+ AlGaAs層であるベース領域4へのオーミックコンタクトの形成は、該 p^+ AlGaAs層上にエピタキシャル成長せしめられた高いキャリア濃度($5 \times 10^{19}/\text{cm}^3$)を有し、低抵抗のオーミックコンタクトを得る上で都合のよい亜鉛ドーパのGaAs層10上になされるため、従来の技術では不可能であった $1 \times 10^{-7} \Omega \text{cm}$ 程度のオーミックコンタクト抵抗を得ることが可能となる。

また、高融点金属薄膜である窒化タングステン

および外部ベース/コレクタ絶縁のためのボロン注入層11およびプロトン注入層12を形成する。

そして、第2図(h)に示すように、CVD法により、リフトオフのスペーサとしての酸化シリコン膜13を形成し、さらにレジストパターン(図示せず)を形成して、コンタクト孔を形成した後、このレジストパターンを残したまま、この上層にAu-Zn層を蒸着し、リフトオフ法によって該Au-Zn層をパターニングし、360℃で40秒のアロイ工程を経てベース電極14を形成する。

さらに、第2図(i)に示すように、リフトオフのスペーサとしての酸化シリコン膜13を除去し、フォトリソ法によりレジストパターンを形成し、これをマスクとして、過酸化水素水とリン酸との混合液をエッチャントとしてウェットエッチングを行い、亜鉛ドーパのGaAs層10を選択的に除去し、コレクタ電極16を形成すべき高濃度のシリコンドーパの n^+ GaAs層2の頭出しがなされる。また、これと同時に前述したボロン・プロトンのイオン注入工程で殺し切れない程度のキャリアを

膜7をマスクとしてエピタキシャル成長がなされるため、エピタキシャル成長工程中の高温条件下においても、窒化タングステン膜7は化合物半導体と反応をおこしたりすることもなく、安定に維持される。このため、この窒化タングステン膜7はエミッタ層の取り出し電極としてそのまま使用することができる。

さらに、エピタキシャル成長層はこの窒化タングステン膜7をマスクとして選択的に形成されるため、このエピタキシャル成長層上に形成される電極と窒化タングステン膜7からなるエミッタ電極とは自己整合的に近接して形成されることになる。このため、該エミッタ電極7から該エピタキシャル成長層上のベース電極14にいたるまでのベース領域を構成する p^+ GaAlAs層のシート抵抗に起因する寄生抵抗を低減することができ、その結果HBTの高速性を十分に引き出すことができる。

この構造では、外部ベース抵抗が従来に比べ約 $1/10 \sim 1/100$ と低くなる。

また、HBTの最大発振周波数 f_{MAX} は、従来100GHz程度であったのに対し、150GHz程度に向上する。

なお、前記実施例では、ヘテロ接合バイポーラトランジスタについて説明したが、ヘテロ接合バイポーラトランジスタに限定されることなく、他のp型の化合物半導体層へのコンタクトの形成にも適用可能である。

(発明の効果)

以上説明してきたように、本発明によれば、化合物半導体へのオーミックコンタクトの形成に際し、npn構造の化合物半導体領域を含む基板表面に、高融点金属層パターンを形成し、このパターンをマスクとして該基板表面をエッチングし、p層を露出せしめ、さらにこのパターンをマスクとして該p層表面に所望の濃度のオーミックコンタクト用p層をエビタキシャル成長法により選択的に成長せしめ、このp層表面に金属電極を形成するようにしているため、従来の技術では不可能であった $1 \times 10^{-7} \Omega \text{cm}$ 程度のオーミックコンタ

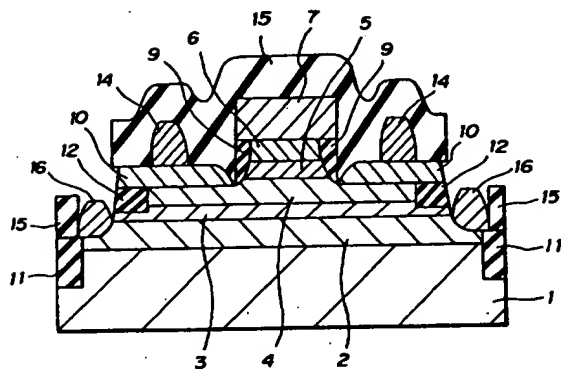
クトを得ることが可能となる。

また、本発明では、この方法においてp層表面に形成した金属電極を第1の電極とすると共にエビタキシャル成長のマスクとして用いた高融点金属層パターンを第2の電極として機能せしめるようにしているため、第1及び第2の電極が自己整合的に形成され、素子の微細化をはかることが可能となる。

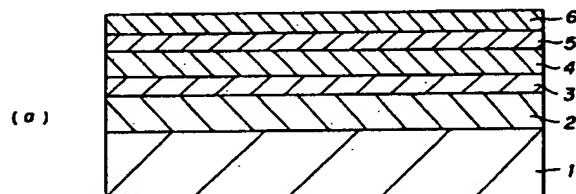
4. 図面の簡単な説明

第1図は本発明実施例のHBTを示す図、第2図(a)乃至第2図(j)は本発明実施例のHBTの製造工程を示す図、第3図は従来例のHBTを示す図である。

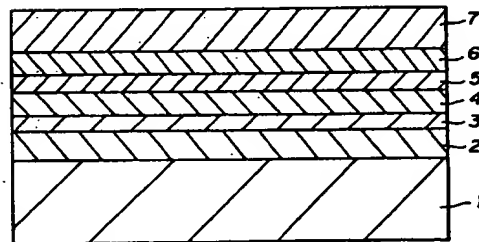
1…ノンドープのガリウムヒ素(GaAs)基板、
2… n^+ GaAs層(コレクタ領域)、3… p^- GaAs層(ベース領域)、4… n^- AlGaAs層(エミッタ領域)、5…コレクタ電極、6…ベース電極、6a…Pt層、6b…Zn層、6c…WNx層、7…エミッタ電極。



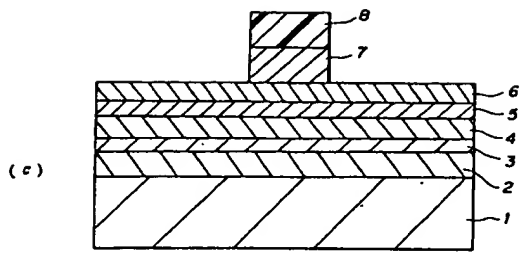
第1図



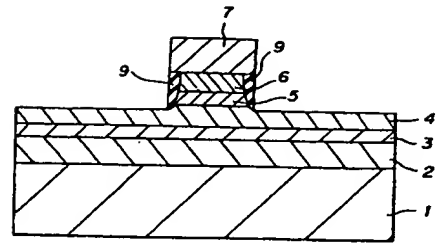
(a)



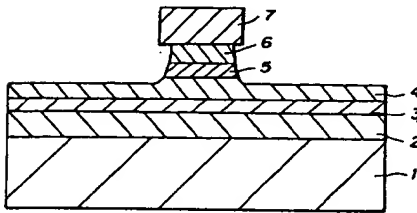
第2図 (その1)



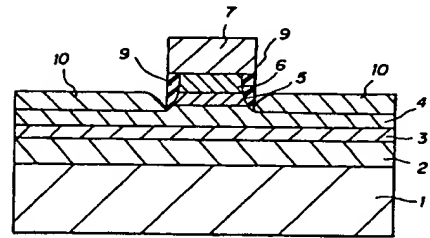
(e)



(d)

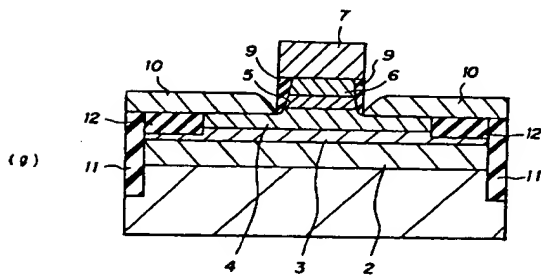


(f)

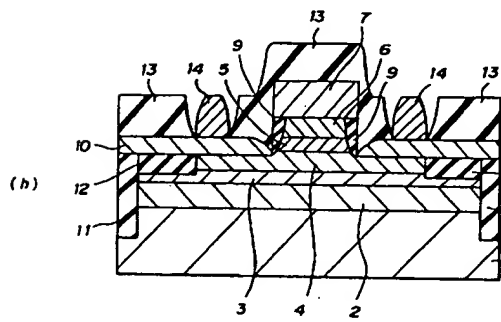
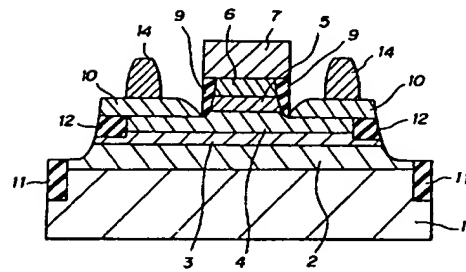


第 2 図 (その 2)

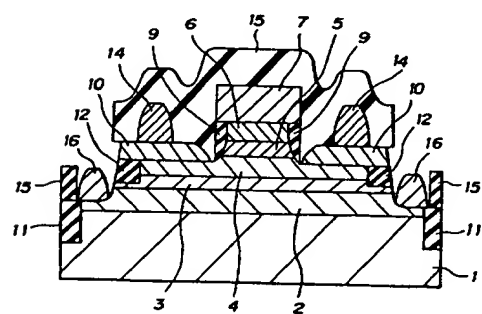
第 2 図 (その 3)



(i)

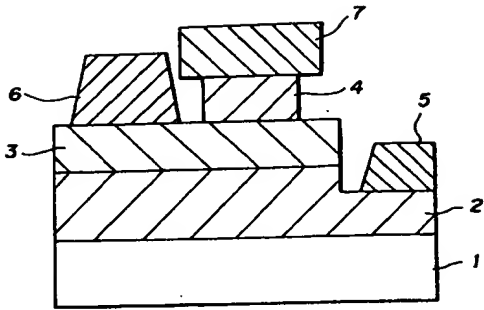


(j)



第 2 図 (その 4)

第 2 図 (その 5)



第 3 図